

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-259117

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

G09G 3/28

(21)Application number : 11-062764

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 10.03.1999

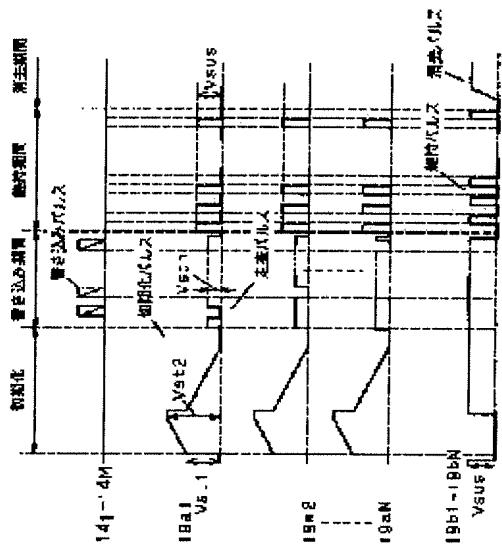
(72)Inventor : NAGAO NOBUAKI  
TONO HIDETAKA

## (54) DRIVING METHOD FOR PLASMA DISPLAY PANEL

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a PDP which is of highly accurate and which has a high- image quality by setting optimum driving voltages of driving waveforms in respective sequences and broadening driving voltage margins even in a panel in which ranges of optimum driving voltages are different, making drives high speeds by suppressing delays of discharge and far improving the flicker and the roughness of a picture or the like due to write failures and the reduction of a discharge probability in the leading pulse of a sustenance period.

**SOLUTION:** A PDP which is of highly accurate and which has a very high- image quality is realized by setting the voltage of the initialization pulse of a setup period prior to a write period to a voltage independent from a driving voltage in a sustenance period while using a pulse waveform having inclinations of at least two steps or more to suppress light emissions due to unwanted discharge and also to shorten the setup period and to set driving voltages in respective periods to optimum driving voltages and to suppress write failures while suppressing delays of discharge.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-259117

(P2000-259117A)

(43)公開日 平成12年9月22日 (2000.9.22)

(51)Int.Cl.<sup>7</sup>

G 0 9 G 3/28

識別記号

F I

G 0 9 G 3/28

テマコード(参考)

H 5 C 0 8 0

審査請求 未請求 請求項の数4 O.L (全9頁)

(21)出願番号 特願平11-62764

(22)出願日 平成11年3月10日 (1999.3.10)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 長尾 宣明

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 東野 秀隆

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 50080 AA05 BB05 CC03 DD08 DD09

EE29 EE30 FF12 GG02 GG08

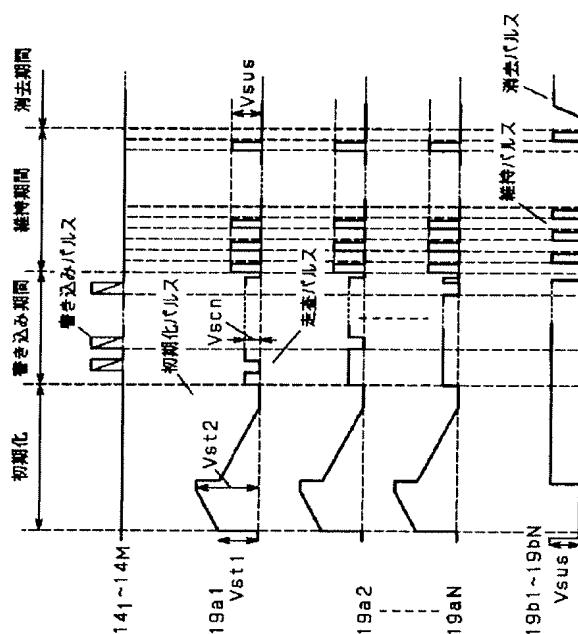
HH02 HH04 JJ04 JJ05 JJ06

(54)【発明の名称】 プラズマディスプレイパネルの駆動方法

(57)【要約】

【課題】 書き込み期間に先立つプライミングパルスと維持期間の後の消去パルスを印加した際に発生する放電によってパネル全体が発光しコントラストを低下させ、高精細化で走査線数が増加し駆動パルスが高速化するため放電のマージンが狭まり誤放電が起こり、全放電セルを正常に駆動できなかった。

【解決手段】 書き込み期間に先立つセットアップ期間の初期化パルスに少なくとも2段階以上の傾斜を有するパルス波形を用い、維持期間における駆動電圧と独立した電圧値に設定することで、不要な放電による発光を抑制し且つセットアップ期間を短縮化し、各期間における最適駆動電圧に設定でき、放電遅れを抑制して書き込み不良を抑制して、高精細で非常に高画質なPDPを実現する。



**【特許請求の範囲】**

**【請求項1】** 第1のパネル基板と第2のパネル基板が間隙をおいて互いに平行に配設され、前記第2のパネル基板と対向する前記第1のパネル基板の表面上には、誘電体層で覆われた複数の電極枝からなる第1電極群及び複数の電極枝からなる第2電極群が互いの電極枝を平行に隣接させた状態で配設され、前記第1のパネル基板と対向する前記第2のパネル基板の表面上には、誘電体層で覆われ第1の電極群と直交する方向に並ぶ複数の電極枝からなる第3電極群が配設され、前記間隙は、隔壁群で仕切られていると共に、当該隔壁間に蛍光体が配設されているプラズマディスプレイパネルに対して、サブフィールド毎にセットアップ期間、アドレス期間及び放電維持期間を有するフィールド内時分割階調表示方式によって駆動させるプラズマディスプレイパネルの駆動方法であって、前記第1の電極群にパルス電圧を印加してセットアップするセッタップ部と、第1電極群にパルス電圧を順次印加しながら、第3電極群の中の選択された電極にパルス電圧を印加して、誘電体層の選択された箇所に壁電荷を蓄積するアドレス部と、第1電極群と第2電極との間にパルス電圧を印加して放電維持を行う放電維持部と、第1電極群と第2電極との間にパルス電圧を印加して放電を停止させる消去部を有し、

前記第1の電極群にパルス電圧を印加してセットアップするセッタップ部と、第1電極群にパルス電圧を順次印加しながら、第3電極群の中の選択された電極にパルス電圧を印加して、誘電体層の選択された箇所に壁電荷を蓄積するアドレス部と、第1電極群と第2電極との間にパルス電圧を印加して放電維持を行う放電維持部と、第1電極群と第2電極との間にパルス電圧を印加して放電を停止させる消去部を有し、

前記セッタップ部で印加するパルス波形は、放電維持部において第1電極群と第2電極との間に印加するパルス電圧Vsus以上且つ放電開始電圧V1未満の電圧Vst1まで $10\mu s e c$ 以下の時間で立ち上がらせた後、 $9V/\mu s e c$ 以下の傾斜で、放電開始電圧V1以上の電圧Vst2まで上昇させる区間と、その後、Vst1まで $10\mu s e c$ 以下の時間で下降させた後、 $9V/\mu s e c$ 以下の傾斜で $0V$ まで下降させる $100\sim250\mu s e c$ の区間とを有するものであって、セッタップの期間が $360\mu s e c$ 以下に設定されていることを特徴とするプラズマディスプレイパネルの駆動方法。

**【請求項2】** セッタップ部で印加するパルス波形の立ち下がり部分が、Vst2から $10\mu s e c$ 以下の時間でVsusまで下降させた後、 $9V/\mu s e c$ 以下の傾斜で $0V$ まで下降させる $100\sim250\mu s e c$ の区間とを有するものであって、セッタップの期間が $360\mu s e c$ 以下に設定されていることを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

**【請求項3】** 第1のパネル基板及び第2のパネル基板が間隙をおいて互いに平行に配設され、前記第2のパネル基板と対向する前記第1のパネル基板の表面上には、誘電体層で覆われた複数の電極枝からなる第1電極群及び複数の電極枝からなる第2電極群が、互いの電極枝を平行に隣接させた状態で配設され、第1のパネルと対向する第2のパネル基板の表面上には、誘電体層で覆われ第1の電極群と直交する方向に並ぶ複数の電極枝からなる

第3電極群が配設され、前記間隙は、隔壁群で仕切られていると共に当該隔壁間に蛍光体が配設されているプラズマディスプレイパネルに対して、サブフィールド毎にセットアップ期間、アドレス期間及び放電維持期間を有するフィールド内時分割階調表示方式によって駆動させるプラズマディスプレイパネルの駆動方法であって、前記第1の電極群にパルス電圧を印加してセットアップするセッタップ部と、第1電極群にパルス電圧を順次印加しながら、第3電極群の中の選択された電極にパルス電圧を印加して、誘電体層の選択された箇所に壁電荷を蓄積するアドレス部と、第1電極群と第2電極との間にパルス電圧を印加して放電維持を行う放電維持部と、第1電極群と第2電極との間にパルス電圧を印加して放電を停止させる消去部を有し、

前記セッタップ部で印加するパルス波形は、放電維持部において第1電極群と第2電極との間に印加するパルス電圧をVsusと同一電位のVst1まで立ち上がらせた後、放電開始電圧V1未満の電圧Vst2まで $4V/\mu s e c$ 以上 $15V/\mu s e c$ 以下の傾斜で立ち上がらせた後、 $4V/\mu s e c$ 未満の傾斜で、放電開始電圧V1以上の電圧Vst3まで上昇させる区間と、その後、Vst1まで $10\mu s e c$ 以下に下降させた後、 $9V/\mu s e c$ 以下の傾斜で $0V$ まで下降させる $100\sim250\mu s e c$ の区間とを有するものであって、セッタップの期間が $360\mu s e c$ 以下に設定されていることを特徴とするプラズマディスプレイパネルの駆動方法。

**【請求項4】** セッタップ部で印加するパルス波形の立ち下がり部分が、Vst2から $10\mu s e c$ 以下の時間でVsusまで下降させた後、 $4V/\mu s e c$ 以上 $15V/\mu s e c$ 以下の傾斜で( $V1-Vsus$ )まで下降させた後、 $4V/\mu s e c$ 未満の傾斜で、 $0V$ まで下降させる $100\sim250\mu s e c$ の区間とを有するものであって、セッタップの期間が $360\mu s e c$ 以下に設定されていることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明はコンピュータおよびテレビ等の画像表示に用いるプラズマディスプレイパネルの駆動方法に関するものである。

**【0002】**

**【従来の技術】** **【パネル構造】** 近年、コンピュータ用ディスプレイおよびテレビ等の画像表示装置は大型化が望まれておらず、それに伴って薄型、軽量のディスプレイとしてプラズマディスプレイパネル(以下PDPと略す)が注目されており、さらに現在実用化されつつあるハイビジョンテレビでは、フルスペックで画素数が $1920\times1080$ と高精細であるが、他のディスプレイと同様、PDPにおいてもこのような高精細なディスプレイに対応できる駆動技術が望まれている。

【0003】従来のPDPは、図6に示すような構成のものが一般的である。図中、前面基板11上には帯状のスキャン電極群19aと、帯状のサスティン電極群19bが形成され、電極群19a、19bは鉛ガラスなどからなる誘電体ガラス層17で覆われており、誘電体ガラス層17の表面はMgO蒸着膜などからなる保護層18で覆われている。

【0004】背面基板12上には帯状のデータ電極群14と表面を覆う鉛ガラスなどからなる絶縁層13が設けられ、その上に隔壁15が配設されている。前面基板11と背面基板12とは、それぞれの電極群が互いに直交するように組み合わされている。隔壁15は、背面基板12と接着しており、前面基板11とは接触している。隔壁15によって通常は100から200ミクロン程度の間隔で前面基板11と背面基板12が互いに平行に対峙し封止されている。

【0005】前面基板11上の電極群19a、19bと背面基板12上のデータ電極群14の間に選択的に電圧を印加することによって、選択された電極の交点でガス放電によって生じた電荷を誘電体ガラス絶縁膜17上に蓄積し、電圧を印加すべき電極を走査することにより1画面分の画素の情報を蓄積するアドレス動作の後に、前面基板11上の電極群19aと電極群19b間に交流パルス電圧を印加する維持放電動作によって、アドレス動作において選択された放電セルが一斉に発光することによって画像を表示する。放電は前面基板11、背面基板12、ならびに隔壁15で隔離された空間で起こるため、発光は拡散しない。つまり、隔壁15は、前面基板11と背面基板12との間隔を規定する目的と、解像度の高い表示が行う目的を有している。

【0006】さらにカラー表示を行う場合は、隔壁で遮断されている放電空間の周辺部に蛍光体16を塗布しておく。蛍光体は、放電によって生じた紫外線を可視光に変換することにより行われるので、三原色である赤(R)、緑(G)、青(B)の蛍光体を使用し、それによる発光強度を適当に調整することにより、カラー表示が可能になる。

【0007】放電ガスとしては、単色表示の場合は、放電の際に可視域での発光が見られるネオンを中心とした混合ガスが、またカラー表示の場合は、放電の際の発光が紫外域にあるキセノンを中心とした混合ガスが選択される。ガス圧は、大気圧下でのPDPの使用を想定し、基板内部が外圧に対して減圧になるように、通常は、200 Torrから500 Torr程度の範囲に設定される。図7に従来のPDPの電極マトリックス図を示す。

【0008】次に、従来のPDPの駆動方法について図8を用いて説明する。図8において、まず、スキャン電極群19a1～19aNに初期化パルスを印加し、パネルの放電セル内の壁電荷を初期化する。この際に、初期化パルスの立ち上がり部分と立ち下がり部分の一部に傾

斜を持たせたランプ波形を用いて弱い放電によって初期化することにより、不要な発光を抑制してコントラスト比を向上させていた。

【0009】次にスキャン電極群19aの一番目の電極19a1に走査パルスを、データ電極群44の表示を行う放電セルに対応するライン141～14Mに書き込みパルスを同時に印加して書き込み放電を行い誘電体層表面に壁電荷を蓄積する。

【0010】次に電極群19aの二番目のライン電極19a2に走査パルスを、データ電極群14の表示を行う放電セルに対応するライン141～14Mに書き込みパルスを同時に印加して書き込み放電を行い誘電体層表面に壁電荷を蓄積する。続いて同様に継続する走査で表示を行うセルに対応する壁電荷を誘電体層表面に順次蓄積することによって1画面分の潜像を書き込む。

【0011】次に維持放電を行うために、データ電極群14を接地し、スキャン電極群19aとサスティン電極群19bに交互に維持パルスを印加することによって、誘電体層表面に壁電荷が蓄積されたセルでは誘電体表面の電位が放電開始電圧を上回ることによって放電が発生し、維持パルスが印加されている期間(維持期間)書き込みパルスによって選択された表示セルの主放電が維持される。その後、幅の狭い消去パルスを印加することによって不完全な放電が発生し壁電荷が消滅するため消去が行われる。

【0012】このように従来のPDPの駆動方法では、初期化期間、書き込み期間、維持期間、消去期間という一連のシーケンスによって表示を行っている。

【0013】テレビ映像を表示する場合、NTSC方式において映像は、1秒間に60枚のフレームで構成されている。元来、プラズマディスプレイパネルでは、点灯か消灯の2階調しか表現できないため中間色を表示するために、赤(R)、緑(G)、青(B)の各色の点灯時間を時分割し、1フレームを数個のサブフィールドに分割し、その組み合わせによって中間色を表現する方法が用いられている。

【0014】図9に従来のプラズマディスプレイパネルにおいて各色256階調を表現する場合のサブフィールドの分割方法を示す。各サブフィールドの放電維持期間内に印加する維持パルス数の比を1、2、4、8、16、32、64、128のようにバイナリで重み付けを行い、この8ビットの組み合わせによって256階調を表現している。

【0015】

【発明が解決しようとする課題】しかしながら上記の従来の駆動方法では、高精細化に伴う走査線数の増加によってアドレス期間が増大し、必要なサブフィールドを確保するために、アドレスパルスの短縮および、初期化期間の短縮による駆動波形の高速化が不可欠となるが、アドレスパルスの短縮による書き込み放電確率の低下によ

るアドレス不良、および初期化期間の短縮による初期化放電発光の増加即ちコントラスト比の低下という画質を著しく低下させる非常に大きな問題を有していた。

【0016】これを解決するためには、各シーケンスにおける駆動パルスの電圧を最適値に設定する必要があるのだが、従来の駆動方法では、書き込み期間に先立つ初期化パルスの1段目の電圧Vset1と書き込み期間中にサステイン電極に印加される電圧Vaddsusと消去期間中にサステイン電極に印加される電圧Verがすべて、維持期間中に放電セルに印加される維持電圧Vsusと同一電源から供給されていたために、Vset1=Vaddsus=Ver=Vsusとなり、各シーケンスにおける最適駆動電圧範囲が異なるパネルに於いては、駆動電圧マージンが非常に狭くなり動作が不安定になるため、表示画質を著しく低下させるという非常に大きな問題点を有していた。

【0017】本発明は上記従来の問題点を解決するもので、駆動波形の各シーケンスにおける最適駆動電圧を設定することによって、最適駆動電圧範囲が異なるパネルに於いても駆動電圧マージンを広げ、放電遅れを抑制することによって駆動を高速化し書き込み不良や維持期間の先頭パルスにおける放電確率低下による画面のチラツキ、ザラツキ等を飛躍的に改善することによって高精細で高画質なPDPを提供することを目的とする。

#### 【0018】

【課題を解決するための手段】上記目的を達成するためには、第1及び第2のパネル基板が間隙をおいて互いに平行に配設され、第2のパネル基板と対向する第1のパネル基板の表面上には、誘電体層で覆われた複数の電極枝からなる第1電極群及び複数の電極枝からなる第2電極群が、互いの電極枝を平行に隣接させた状態で配設され、第1のパネルと対向する第2のパネル基板の表面上には、誘電体層で覆われ第1の電極群と直交する方向に並ぶ複数の電極枝からなる第3電極群が配設され、前記間隙は、隔壁群で仕切られていると共に、当該隔壁間に蛍光体が配設されているプラズマディスプレイパネルに対して、サブフィールド毎にセットアップ期間、アドレス期間及び放電維持期間を有するフィールド内時分割階調表示方式によって駆動させるプラズマディスプレイパネルの駆動方法であって、前記第1の電極群にパルス電圧を印加してセットアップするセットアップ部と、第1電極群にパルス電圧を順次印加しながら、第3電極群の中の選択された電極にパルス電圧を印加して、誘電体層の選択された箇所に壁電荷を蓄積するアドレス部と、第1電極群と第2電極との間にパルス電圧を印加して放電維持を行う放電維持部と、第1電極群と第2電極との間にパルス電圧を印加して放電を停止させる消去部を有し、前記セットアップ部で印加するパルス波形は、放電維持部において第1電極群と第2電極との間に印加するパルス電圧Vsus以上且つ放電開始電圧V1未満の電圧Vst1まで10μsec以下の時間で立ち上

らせた後、9V/μsec以下の傾斜で、放電開始電圧V1以上の電圧Vst2まで上昇させる区間と、その後、Vst1まで10μsec以下に下降させた後、0Vまで9V/μsec以下の傾斜で下降させる100~250μsecの区間とを有するものであって、セットアップの期間を360μsec以下に設定した駆動波形を用いるものである。

【0019】また、前記セットアップ部で印加するパルス波形の立ち下がり部分が、Vst2から10μsec以下の時間でVsusまで下降させた後、9V/μsec以下の傾斜で0Vまで下降させる100~250μsecの区間とを有するものであって、セットアップの期間が360μsec以下に設定した駆動波形を用いるものである。

【0020】また、本発明は、第1及び第2のパネル基板が、間隙をおいて互いに平行に配設され、第2のパネル基板と対向する第1のパネル基板の表面上には、誘電体層で覆われた複数の電極枝からなる第1電極群及び複数の電極枝からなる第2電極群が、互いの電極枝を平行に隣接させた状態で配設され、第1のパネルと対向する第2のパネル基板の表面上には、誘電体層で覆われ第1の電極群と直交する方向に並ぶ複数の電極枝からなる第3電極群が配設され、前記間隙は、隔壁群で仕切られていると共に、当該隔壁間に蛍光体が配設されているプラズマディスプレイパネルに対して、サブフィールド毎にセットアップ期間、アドレス期間及び放電維持期間を有するフィールド内時分割階調表示方式によって駆動させるプラズマディスプレイパネルの駆動方法であって、前記第1の電極群にパルス電圧を印加してセットアップするセットアップ部と、第1電極群にパルス電圧を順次印加しながら、第3電極群の中の選択された電極にパルス電圧を印加して、誘電体層の選択された箇所に壁電荷を蓄積するアドレス部と、第1電極群と第2電極との間にパルス電圧を印加して放電維持を行う放電維持部と、第1電極群と第2電極との間にパルス電圧を印加して放電を停止させる消去部とからなり、前記セットアップ部で印加するパルス波形は、放電維持部において第1電極群と第2電極との間に印加するパルス電圧をVsusと同一電位のVst1まで立ち上がらせた後、放電開始電圧V1未満の電圧Vst2まで4V/μsec以上15V/μsec以下の傾斜で立ち上がらせた後、4V/μsec未満の傾斜で、放電開始電圧V1以上の電圧Vst3まで上昇させる区間と、その後、Vst1まで10μsec以下に下降させた後、0Vまで9V/μsec以下の傾斜で下降させる100~250μsecの区間とを有するものであって、セットアップの期間を360μsec以下に設定した駆動波形を用いるものである。

【0021】また、前記セットアップ部で印加するパルス波形の立ち下がり部分が、Vst2から10μsec以下の時間でVsusまで下降させた後、4V/μsec以

上  $1.5 \text{ V}/\mu\text{s}$  以下の傾斜で ( $V1 - Vsus$ ) まで下降させた後、 $4 \text{ V}/\mu\text{s}$  未満の傾斜で、 $0 \text{ V}$  まで下降させる  $100 \sim 250 \mu\text{s}$  の区間とを有するものであって、セットアップの期間が  $360 \mu\text{s}$  以下に設定した駆動波形を用いるものである。

#### 【0022】

【発明の実施の形態】以下、本発明の実施の形態について図1から図5を用いて説明する。本発明で用いたPDPパネルの構造は従来のものと同様である。駆動波形による発光効率の変化の検討は、任意波形発生器の出力を高速高圧アンプによって電圧増幅し、PDPの放電セルに印加することによって、種々の波形で駆動を行った。同時にフォトダイオードPDを用いて発光ピーク波形の観測を行った。コントラスト比の測定は、暗室内でパネルの一部分を白色に点灯させ、暗部と明部の輝度比を測定することにより行った。

【0023】以下、具体的な駆動波形について図を用いて説明する

(実施の形態1) 図1は、本発明の実施の形態1の駆動方法を示すタイミングチャートである。従来のPDPの駆動方法との違いは、初期化パルスの立ち上がり部分において、1段目の電圧Vst1を  $Vsus < Vst1 < V1$  とし、維持期間において放電セルに印加する維持電圧Vsusよりも高い電圧に設定することにより、それに続くVst2までの緩やかな傾斜による電圧上昇期間T1を短縮化することによって初期化期間を短縮化し、尚且、初期化期間と維持期間でそれぞれ独立した電圧によって駆動することである。

【0024】従来の駆動方法においては、Vst1とVsusが同一電圧に設定されていたため、限られた初期化期間内で高コントラストで十分な初期化を行なうためにVstを高くすると、図2に示すように維持期間において、過電圧が印加されるためパルスの立ち下がり部分で放電が発生し、次のパルスで放電を維持するために必要な壁電圧を浪費し、所謂自己消去放電ために放電が安定に維持されず適切な駆動ができなくなる。

【0025】また、この様な維持期間における自己消去放電を抑制するためにVsusを低下させるとVst1が低下し、初期化に必要な電圧Vst2まで上昇させるための時間T1が増加し、初期化期間が増加する。この初期化期間が増加を抑制するためにVst1からVst2への電圧の上昇速度を増加させると、初期化放電による発光が増加しコントラスト比が(表1)に示すように著しく低下してしまう。

#### 【0026】

【表1】

従来の駆動方法によるVst1からVst2への電圧の上昇速度とコントラスト比の比較

電圧上昇速度[V/ $\mu\text{s}$ ]	コントラスト比
3.0	300:1
2.0	450:1

【0027】この様に従来の駆動方法では、最適な駆動電圧範囲即ち駆動マージンが非常に狭くなっていた。

【0028】図3は本発明の実施の形態1による駆動方法を用いて駆動を行った際の維持期間における駆動電圧波形Vとフォトダイオードで検出した発光ピーク波形Lの時間軸トレースを示す。

【0029】これらの図から、Vst1とVsusを独立した電圧で駆動することによって維持期間における自己消去放電の発生を抑制し、なお且Vst1を高く設定できるために初期化期間を延長すること無くVst2まで緩やかな傾斜で電圧を上昇させることができるために、十分な初期化が実現可能であることがわかる。

【0030】(表2)に従来の駆動方法と本実施の形態1による駆動方法を用いた場合のコントラスト比およびVsusマージンの比較を示す。

#### 【0031】

#### 【表2】

従来の駆動方法と本実施の形態1による駆動方法を用いた場合のコントラスト比およびVsusマージンの比較

	コントラスト比	Vsusマージン[V]
本実施の形態1	350:1	18
従来例	300:1	4

【0032】従来  $4 \text{ V}$  程度しかなかったVsusマージンが、本実施の形態1による駆動方法を用いることによって4.5倍の  $18 \text{ V}$  まで拡大しているにもかかわらず、コントラストは低下することなく従来と同一に保たれている。

【0033】このことから明らかなように、本実施の形態1によるPDPの駆動方法によって、初期化期間の延長および初期化放電による発光を増加させること無く尚且維持期間における自己消去放電が抑制され、高コントラストで且つ動作マージンが大幅に改善されるという点で非常に優れたPDPが実現可能となる。

【0034】尚、本実施の形態1では、PDPを駆動する駆動回路として、任意波形発生器の出力を高速高圧アンプによって電圧増幅した駆動波形を各電極に印加する方法を用いているが、これに限定されるものではなく、ミラー積分回路を用いたランプ波形発生回路のグランドをフローティングにし、電圧加算する方法によって初期化パルス波形を発生させ、維持パルスを発生させる矩形パルス発生回路と別電源で駆動する方法によっても同様に優れた画質を実現できることは言うまでもない。

【0035】また、初期化波形の立ち下がり部分が、V

st2から $10\ \mu\text{sec}$ 以下の時間でVsusまで下降させた後、 $9\text{V}/\mu\text{sec}$ 以下の傾斜で $0\text{V}$ まで下降させる $100\sim250\ \mu\text{sec}$ の区間とを有するものであって、セットアップの期間が $360\ \mu\text{sec}$ 以下に設定した駆動波形を用いる方法によっても同様に優れた画質を実現できることは言うまでもない。

【0036】(実施の形態2) 図4は、本発明の実施の形態2の駆動波形のタイミングチャートを示す。実施の形態1との違いは、初期化パルスの立ち上がり部分において、Vsusと同一電位のVst1まで立ち上がらせた後、放電開始電圧V1未満の電圧Vst2まで $4\text{V}/\mu\text{sec}$ 以上 $15\text{V}/\mu\text{sec}$ 以下の傾斜で立ち上がらせた後、 $4\text{V}/\mu\text{sec}$ 未満の傾斜で、放電開始電圧V1以上の電圧Vst3まで上昇させることによって、初期化放電が開始するまでの時間を短縮化し、尚且つ放電開始電圧V1付近での電圧上昇速度を更に緩やかに設定することが可能であることである。

【0037】従来の駆動方法においては、V1付近での電圧上昇速度を緩やかにすると初期化時間が増加してしまい、他のシーケンスを圧迫し駆動を十分に高速化することができなかった。

【0038】また、実施の形態1の駆動方法においては、Vst1をVsusと独立して設定できるためVst1を従来より高い電圧にすることによって、V1付近での電圧

上昇速度を緩やかにすることが可能であるが、1段階で $350\text{V}$ 程度まで上昇させると、パネル内の放電セルのばらつきによっては、誤放電を起こしやすく画質低下を引き起こす。

【0039】また、1段階で $350\text{V}$ 程度まで上昇させためには、非常に高耐圧でスルーレートの高いパワーMOSFETが必要となり、駆動回路のコストが上昇してしまう。

【0040】図5に本発明の実施の形態2による駆動方法を用いて駆動を行った際の維持期間における駆動電圧波形Vとフォトダイオードで検出した発光ピーク波形Lの時間軸トレースを示す。

【0041】これらの図から、Vst1から2段階の傾斜をもった初期化波形で駆動することによって、維持期間における自己消去放電の発生を抑制し、尚且つ初期化期間を増加させることなくV1付近における電圧上昇速度を更に緩やかにすることによって初期化放電による発光を更に抑制することが可能であることがわかる。

【0042】(表3)に従来の駆動方法と本実施の形態2による駆動方法を用いた場合の初期化時間、コントラスト比およびVsusマージンの比較を示す。

【0043】

【表3】

従来の駆動方法と本実施の形態2による駆動方法を用いた場合の  
コントラスト比およびVsusマージン、初期化時間の比較

	コントラスト比	Vsusマージン[V]	初期化時間[μs]
本実施の形態2	450:1	18	310
従来例	300:1	4	360

【0044】本実施の形態2による駆動方法を用いることによって初期化に要する時間が短縮化されているにもかかわらず、コントラスト比は約1.5倍に向上し尚且つVsusマージンも4.5倍に向上している。

【0045】このことから明らかなように、本実施の形態2によるPDPの駆動方法によって、初期化期間の短縮とコントラスト比の改善という相反する課題を解決し、さらに維持期間における駆動電圧マージンが拡大されることによって安定な駆動が可能となり、高精細化に伴う駆動パルスの高速化によって引き起こされた画質の低下が著しく改善されるという点で非常に優れた高精細PDPを実現できる。

【0046】尚、本実施の形態2では、PDPを駆動する駆動回路として、任意波形発生器の出力を高速高圧アンプによって電圧增幅した駆動波形を各電極に印加する方法を用いているが、これに限定されるものではなく、異なる時定数を持つミラー積分回路を用いたランプ波形発生回路のグランドをそれぞれフローティングにし、電圧加算する方法によってVsusと同一電圧のVst1からVst3まで2段階の電圧上昇速度による傾斜波形を持つ

初期化パルス波形を発生させ駆動する方法によっても同様に優れた画質を実現できることは言うまでもない。

【0047】また、初期化波形の立ち下り部分が、Vst2から $10\ \mu\text{sec}$ 以下の時間でVsusまで下降させた後、 $4\text{V}/\mu\text{sec}$ 以上 $15\text{V}/\mu\text{sec}$ 以下の傾斜で( $V1-Vsus$ )まで下降させた後、 $4\text{V}/\mu\text{sec}$ 未満の傾斜で、 $0\text{V}$ まで下降させる $100\sim250\ \mu\text{sec}$ の区間とを有するものであって、セットアップの期間が $360\ \mu\text{sec}$ 以下に設定した駆動波形を用いる方法によっても同様に優れた画質を実現できることは言うまでもない。

【0048】

【発明の効果】以上のように本発明は、セットアップ期間の初期化パルスに少なくとも2段階以上の傾斜を有するパルス波形を用い、維持期間における駆動電圧と独立した電圧値に設定することによって、不要な放電による発光を抑制し且つセットアップ期間を短縮化し、各期間における最適駆動電圧に設定することが可能となり、放電遅れを抑制して書き込み不良を抑制することによって、高精細で非常に高画質なPDPを実現するという顕

著な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるプラズマディスプレイパネルの駆動方法のタイミングチャート

【図2】従来の維持期間中の駆動電圧波形Vと発光ピークLの時間軸トレースを示す図

【図3】本実施の形態1におけるプラズマディスプレイパネルの駆動方法による維持期間における駆動電圧波形Vと発光ピークLの時間軸トレースを示す特性図

【図4】本発明の実施の形態2におけるプラズマディスプレイパネルの駆動方法のタイミングチャート

【図5】本実施の形態2におけるプラズマディスプレイパネルの駆動方法による維持期間における駆動電圧波形Vと発光ピークLの時間軸トレースを示す特性図

【図6】従来のプラズマディスプレイパネルの構成を示す概略図

【図7】従来のプラズマディスプレイパネルの電極マト

リックス図

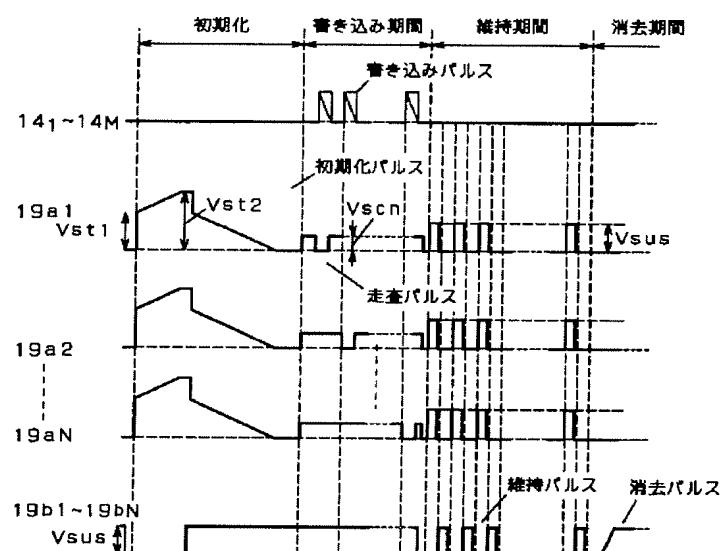
【図8】従来のプラズマディスプレイパネルの駆動方法のタイミングチャート

【図9】従来のプラズマディスプレイパネルの駆動方法のサブフィールドの概略図

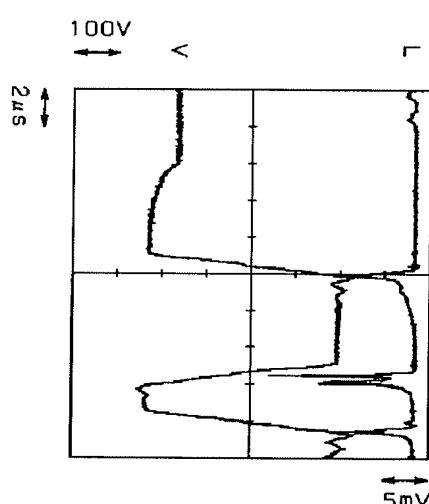
【符号の説明】

- 1 1 前面基板
- 1 2 背面基板
- 1 3 絶縁体層
- 1 4 データ電極群
- 1 5 隔壁
- 1 6 蛍光体
- 1 7 誘電体ガラス層
- 1 8 保護膜
- 1 9 a 電極群
- 1 9 b 電極群

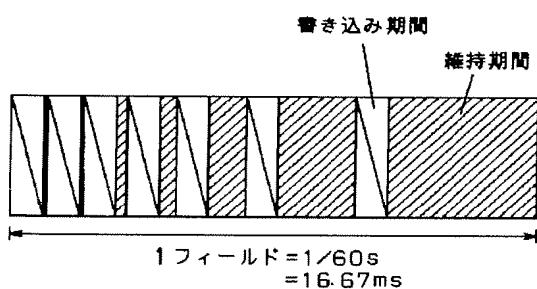
【図1】



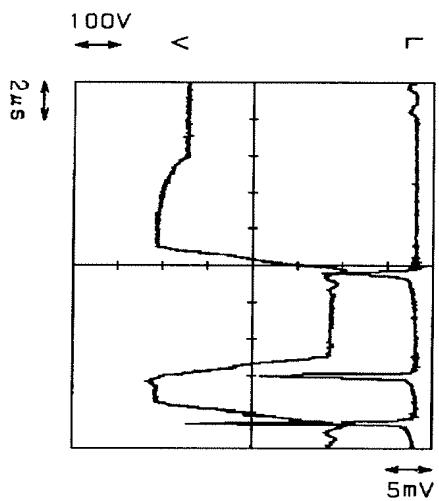
【図2】



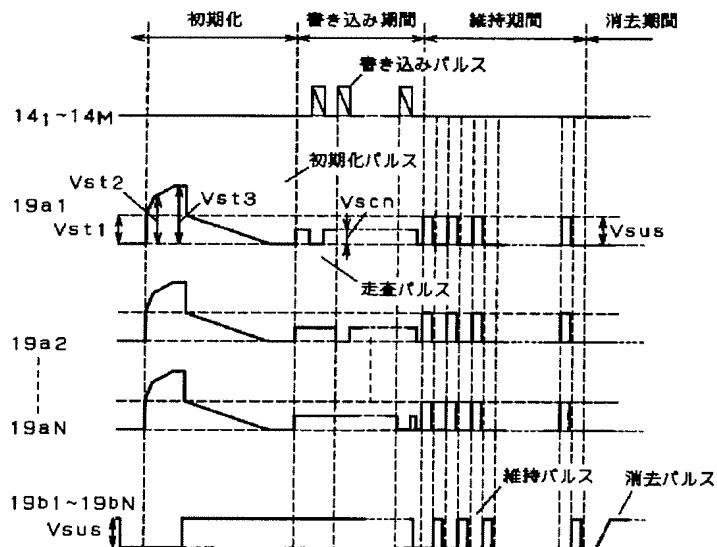
【図9】



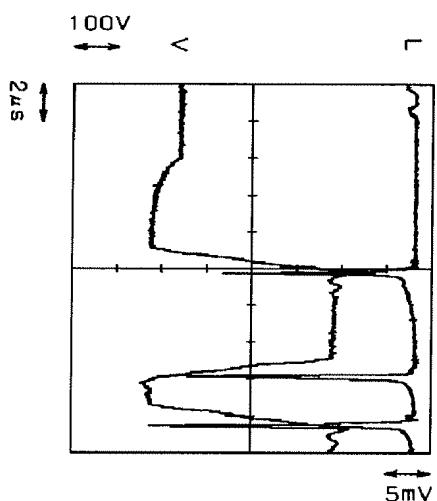
【図3】



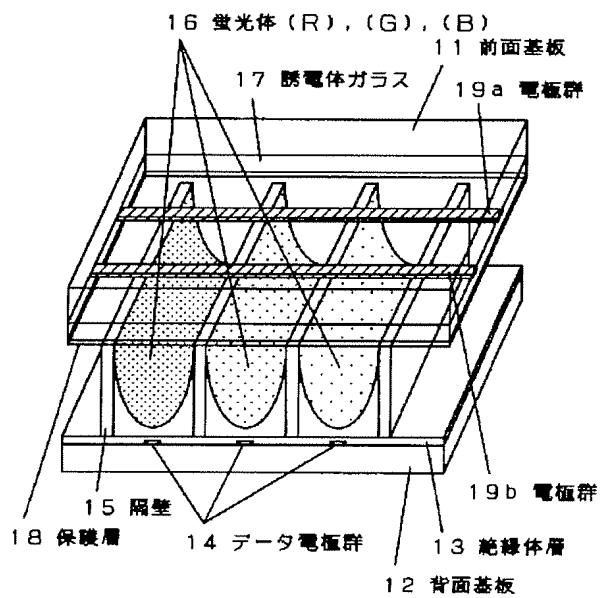
【図4】



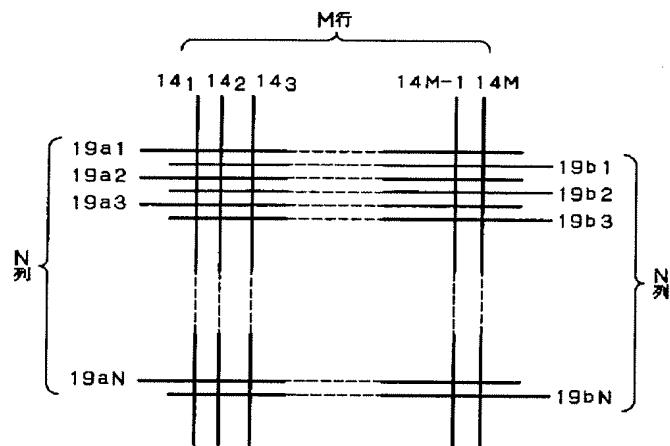
【図5】



【図6】



【図7】



【図8】

